

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-85570

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/68		B 7436-5 J		
3/345		B 8124-5 J		

審査請求 未請求 請求項の数 6(全 11 頁)

(21)出願番号 特願平4-230935

(22)出願日 平成4年(1992)8月31日

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 藤井 和仁

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72)発明者 北川 信孝

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

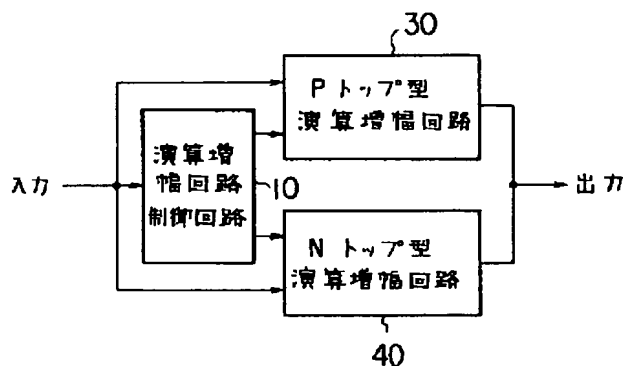
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 演算増幅回路装置

(57)【要約】

【目的】入出力電圧が接地電位付近から電源電圧電位付近まで動作することができ、しかも、少ない素子数により構成でき、設計を容易化でき、低電圧動作、低消費電力が要求される集積回路に内蔵し得る演算増幅回路装置を実現する。

【構成】入力信号電圧が共通に入力し、それぞれの信号出力ノードが共通に接続され、それぞれ独立に動作するPトップ型演算増幅回路30およびNトップ型演算増幅回路40と、入力信号電圧のレベルがPトップ型演算増幅回路の動作範囲内であるかNトップ型演算増幅回路の動作範囲内であるかを検出し、Pトップ型演算増幅回路の動作範囲内でない場合の検出出力によりPトップ型演算増幅回路の内部回路の動作を停止させ、Nトップ型演算増幅回路の動作範囲内でない場合の検出出力によりNトップ型演算増幅回路の内部回路の動作を停止させる演算増幅回路制御回路10とを具備することを特徴とする。



【特許請求の範囲】

【請求項1】 入力信号電圧が共通に入力し、それぞれの信号出力ノードが出力端子に共通に接続され、それぞれ独立に動作し、それぞれダイオード接続されたMOSトランジスタを2段以上直列接続した部分を持たないPチャネルMOSトランジスタ入力型演算増幅回路およびNチャネルMOSトランジスタ入力型演算増幅回路と、上記入力信号電圧のレベルが上記PチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内であるか上記NチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内であるかを検出し、PチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内でない場合を検出した出力により上記PチャネルMOSトランジスタ入力型演算増幅回路の内部回路の動作を停止させるように制御し、NチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内でない場合を検出した出力によりNチャネルMOSトランジスタ入力型演算増幅回路の内部回路の動作を停止させるように制御する演算増幅回路制御回路とを具備することを特徴とする演算増幅回路装置。

【請求項2】 請求項1記載の演算増幅回路装置において、前記PチャネルMOSトランジスタ入力型演算増幅回路およびNチャネルMOSトランジスタ入力型演算増幅回路のそれぞれは、定電流を設定する定電流設定回路部と、この定電流設定回路部により動作電流が設定され、同相入力電圧が入力する差動回路部と、上記同相入力電圧のレベルを検出し、上記差動回路部の動作電流をオン／オフ制御する制御回路部と、上記差動回路部の出力をバッファ増幅する出力回路部とを有し、上記定電流設定回路部は上記PチャネルMOSトランジスタ入力型演算増幅回路およびNチャネルMOSトランジスタ入力型演算増幅回路で共用されていることを特徴とする演算増幅回路装置。

【請求項3】 請求項1または2記載の演算増幅回路装置において、さらに、外部から与えられるスタンバイ制御信号に応じて制御され、スタンバイ状態の時には前記PチャネルMOSトランジスタ入力型演算増幅回路およびNチャネルMOSトランジスタ入力型演算増幅回路のそれぞれの動作を停止させて消費電流をなくし、演算増幅回路の出力端子をハイインピーダンス状態または電源電位あるいは接地電位に固定するように制御するスタンバイ制御回路を具備することを特徴とする演算増幅回路装置。

【請求項4】 請求項3記載の演算増幅回路装置において、前記スタンバイ制御回路は、スタンバイ状態の時に、前記定電流設定回路部および制御回路部および出力回路部をオフ状態に制御することを特徴とする演算増幅回路装置。

【請求項5】 請求項1記載の演算増幅回路装置におい

て、

さらに、前記PチャネルMOSトランジスタ入力型演算増幅回路またはNチャネルMOSトランジスタ入力型演算増幅回路の動作が停止した場合にハイインピーダンス状態になる内部ノードと電源電位ノードあるいは接地電位ノードとの間に接続され、通常動作時に上記内部ノードに支障を与えない程度の値を有する高抵抗を具備することを特徴とする演算増幅回路装置。

【請求項6】 請求項1または2記載の演算増幅回路装置において、

前記各MOSトランジスタとしてディブリージョン型MOSトランジスタまたは閾値電圧を下げたMOSトランジスタを使用してなることを特徴とする演算増幅回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路に内蔵され、特に入力電圧が接地電位から電源電圧電位までの範囲で動作可能なレール・ツー・レール型の演算増幅回路装置の改良に係り、低電圧で動作し、低消費電流が要求される半導体集積回路に好適な演算増幅回路装置に関する。

【0002】

【従来の技術】集積回路に内蔵される演算増幅回路は、様々の回路形式が提案されている。

【0003】CMOS FET（相補性絶縁ゲート型電界効果トランジスタ）を用いた演算増幅回路の分野では、入力電圧がPチャネルトランジスタ（PMOSTランジスタ）のゲートに入力する回路形式のものをPトップ型演算増幅回路と称し、入力電圧がNチャネルトランジスタ（NMOSTランジスタ）のゲートに入力する回路形式のものをNトップ型演算増幅回路と称する。図7は、Pトップ型演算増幅回路の従来例を示している。

【0004】ここで、P1～P5はPMOSTランジスタ、N1～N3はNMOSTランジスタ、R1およびR2は抵抗、Cは容量、VDDは電源電圧電位、VSSは接地電位、VIN+およびVIN-は同相入力電圧、Vout は出力電圧である。

【0005】上記Pトップ型演算増幅回路の入力電圧範囲は、入力端子にゲートが接続されているPチャネルトランジスタP4、P5がオンの時であり、入力電圧がVDD-Vthp（Pチャネルトランジスタの閾値電圧）以下でしか動作しない。換言すれば、入力電圧が電源電圧電位付近では、PチャネルトランジスタP4、P5がオフ状態になるので、動作が不可能になる。図8は、Nトップ型演算増幅回路の従来例を示している。

【0006】ここで、N1～N5はNMOSTランジスタ、P1～P3はPMOSTランジスタ、R1およびR2は抵抗、Cは容量、VDDは電源電圧電位、VSSは接地電位、VIN+およびVIN-は同相入力電圧、Vout は出

10

20

30

40

50

3

力電圧である。

【0007】上記Nトップ型演算増幅回路の入力電圧範囲は、入力端子にゲートが接続されているNチャネルトランジスタN4、N5がオンの時であり、入力電圧がNチャネルトランジスタの閾値電圧以上でしか動作しない。換言すれば、入力電圧が接地電位付近では、NチャネルトランジスタN4、N5がオフ状態になるので、動作が不可能になる。

【0008】つまり、上記したような従来のPトップ型演算増幅回路あるいはNトップ型演算増幅回路は、動作が不可能な入力電圧範囲が広く存在し、この動作が不可能な入力電圧範囲は動作電源電圧を低くしても狭くならないので、低電圧動作には不適である。

【0009】入力電圧範囲が狭いという欠点を改善するものとして、入力電圧が接地電位付近から電源電圧電位付近までの範囲で動作可能な演算増幅回路として、レール・ツー・レール型の演算増幅回路が提案されており、その一具体例が、J. N. BABANEZHAD, " A Rail-to-Rail CMOS Op Amp " IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 23, NO. 6, DECEMBER 1988 に開示されている。図9は、上記文献に開示されているレール・ツー・レール型演算増幅回路を示している。

【0010】ここで、M1～M47はMOSトランジスタ、Rは抵抗、C1およびC2は容量、VDDは電源電圧電位、VSSは接地電位、VIN+およびVIN-は同相入力電圧、VOUTは出力電圧である。図10は、図9のレール・ツー・レール型演算増幅回路の基本構成を示す。

【0011】ここで、MP1～MP10はPMOSトランジスタ、MN1～MN10はNMOSトランジスタ、R1およびR2は抵抗、C1およびC2は容量、VDDは電源電圧電位、VSSは接地電位、VIN+およびVIN-は同相入力電圧、VOUTは出力電圧、I、I_{p1}～I_{p3}、I_{n1}～I_{n3}は電流源回路の電流である。

【0012】この演算増幅回路において、入力端子はPMOSトランジスタMP5およびMP6、NMOSトランジスタMN4およびMN5の各ゲートに接続されている。そして、入力電圧がVDD付近では、NMOSトランジスタMN3、MN6、MN8、PMOSトランジスタMP5、MP6がオフ状態になる。また、入力電圧がVSS付近では、PMOSトランジスタMP3、MP4、MP8、NMOSトランジスタMN4、MN5がオフ状態になる。

【0013】即ち、入力電圧がNMOSトランジスタMP5およびMP6の動作範囲内でなくなった時、NMOSトランジスタMP9も動作しなくなり、電流I_{p2}が流れなくなる。そこで、電流I_{n1}、I_{p1}、I_{n3}及びI_{p3}と入力電圧により変化するNMOSトランジスタMP3を流れる電流I_{n2}が関係してノード電圧V6が変化し、演算増幅回路として動作する。

【0014】同様に、入力電圧がNMOSトランジスタ

(3)

特開平6-85570

4

MN4およびMN5の動作範囲内でなくなった時、NMOSトランジスタMN9も動作しなくなり、電流I_{n2}が流れなくなる。そこで、電流I_{p1}、I_{n1}、I_{n3}及びI_{p3}と入力電圧により変化するNMOSトランジスタMN3を流れる電流I_{p2}が関係してノード電圧V6が変化し、演算増幅回路として動作する。

【0015】この演算増幅回路においては、定電流回路の定電流性を改善するために、電流I_{p1}、I_{n1}、I_{p3}、I_{n3}を制御しているMOSトランジスタMP2、MN2、MP7、MN7のゲート電圧に安定なバイアス電圧を供給している。

【0016】そして、図9の演算増幅回路においては、上記PMOSトランジスタMP2、MP7にバイアス電圧を供給するために、ゲート・ドレイン相互が接続された（ダイオード接続された）MOSトランジスタM40、M41がVDDノードとVSSノードとの間に2段直列に接続されている箇所が存在する。同様に、前記NMOSトランジスタMN2、MN7にバイアス電圧を供給するために、ダイオード接続されたMOSトランジスタM44、M45がVDDノードとVSSノードとの間に2段直列に接続されている箇所が存在する。この場合、1個のダイオード接続されたMOSトランジスタが動作するには、MOSトランジスタの閾値電圧（例えば約0.8V）以上の電圧（例えば約1V）が印加される必要がある。

【0017】しかし、上記したようにダイオード接続されたMOSトランジスタが2段直列に接続されていると、動作電圧の下限は約3V程度であり、上記レール・ツー・レール型演算増幅回路は低電圧動作には不適である。

【0018】また、従来のレール・ツー・レール型演算増幅回路は、使用素子数が多く、動作に影響しない電流（例えばI_{p1}、I_{n1}、I_{p3}、I_{n3}）が常に流れる直流電流パスが多く存在するので、消費電流が大きい。また、上記演算増幅回路は、非使用時にも直流電流パスが存在するにも拘らず、必要時以外に動作を停止させるための制御回路を持たないので、この点でも消費電流が大きい。

【0019】

【発明が解決しようとする課題】上記したように従来のレール・ツー・レール型演算増幅回路は、低電圧動作には不適であり、使用素子数が多く、動作に影響しない電流を消費する直流電流パスが多く存在するので、消費電流が大きくなるという問題があった。

【0020】本発明は上記の問題点を解決すべくなされたもので、入出力電圧が接地電位付近から電源電圧電位付近まで動作することができ、しかも、少ない素子数により構成でき、設計を容易化でき、低電圧動作、低消費電力が要求される集積回路に内蔵し得る演算増幅回路装置を提供することを目的とする。

50

【0021】

【課題を解決するための手段】本発明の演算増幅回路装置は、入力信号電圧が共通に入力し、それぞれの信号出力ノードが共通に接続され、それぞれ独立に動作するPチャネルMOSトランジスタ入力型演算増幅回路およびNチャネルMOSトランジスタ入力型演算増幅回路と、上記入力信号電圧のレベルが上記PチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内であるか上記NチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内であるかを検出し、PチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内でない場合を検出した出力により上記PチャネルMOSトランジスタ入力型演算増幅回路の内部回路の動作を停止させるように制御し、NチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内でない場合を検出した出力によりNチャネルMOSトランジスタ入力型演算増幅回路の内部回路の動作を停止させるように制御する演算増幅回路制御回路とを具備することを特徴とする。

【0022】

【作用】入力信号電圧のレベルがPチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内であると共にNチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内である場合には、PチャネルMOSトランジスタ入力型演算増幅回路の信号出力電圧とNチャネルMOSトランジスタ入力型演算増幅回路の信号出力電圧との合成出力が得られる。

【0023】これに対して、入力信号電圧のレベルが、NチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内でなくPチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内である場合には、NチャネルMOSトランジスタ入力型演算増幅回路は内部回路の動作が停止して電流消費が大幅に抑制され、これとは独立に動作しているPチャネルMOSトランジスタ入力型演算増幅回路の信号出力電圧のみが出力端子の出力電圧として得られる。

【0024】また、入力信号電圧のレベルが、PチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内でなくNチャネルMOSトランジスタ入力型演算増幅回路の動作範囲内である場合には、PチャネルMOSトランジスタ入力型演算増幅回路は内部回路の動作が停止して電流消費が大幅に抑制され、これとは独立に動作しているNチャネルMOSトランジスタ入力型演算増幅回路の信号出力電圧のみが出力端子の出力電圧として得られる。

【0025】これにより、PチャネルMOSトランジスタ入力型演算増幅回路およびNチャネルMOSトランジスタ入力型演算増幅回路は、それぞれ例えば約1.6V程度の低電圧動作が可能であり、接地電位付近から電源電圧電位付近までの入力電圧に対して動作することができる。

【0026】この場合、動作していない方の演算増幅回路は、電流を殆んど消費しないので、消費電力が少なく、動作している方の演算増幅回路の動作に何ら悪影響を及ぼすことがない。

【0027】また、PチャネルMOSトランジスタ入力型演算増幅回路およびNチャネルMOSトランジスタ入力型演算増幅回路は、それぞれ独立に動作するので、その設計が容易になり、しかも、使用素子数が少ないので、製造上のコストダウンおよび歩留りの向上を図ることができる。

【0028】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は、本発明の演算増幅回路装置の基本構成を示すブロック図である。

【0029】Pトップ型演算増幅回路30およびNトップ型演算増幅回路40は、入力信号電圧が共通に入力し、それぞれの信号出力ノードが共通に接続され、それぞれ独立に動作する。

【0030】演算増幅回路制御回路10は、上記入力信号電圧のレベルが上記Pトップ型演算増幅回路1の動作範囲内であるか上記Nトップ型演算増幅回路2の動作範囲内であるかを検出し、Pトップ型演算増幅回路1の動作範囲内でない場合を検出した出力により上記Pトップ型演算増幅回路1の内部回路の動作を停止させるように制御し、Nトップ型演算増幅回路2の動作範囲内でない場合を検出した出力によりNトップ型演算増幅回路2の内部回路の動作を停止させるように制御するものである。図2は、本発明の第1実施例に係る演算増幅回路を示す回路図である。

【0031】ここで、VDDは電源電圧電位、VSSは接地電位、VIN+およびVIN-は同相入力電圧、Voutは出力電圧、MP1～MP15はPMOSトランジスタ、MN2～MN15はNMOSトランジスタ、R0、Rp、Rnは抵抗、CpおよびCnは容量、20は電流設定回路部、21は差動回路部、22は制御回路部、23は出力回路部、24は出力端子である。この演算増幅回路は、Pトップ型演算増幅回路30およびNトップ型演算増幅回路40を含んでいる。図3は、図2中のPトップ型演算増幅回路30を取り出して示す。電流設定回路部20aの設定電流I0は10～100μAであり、抵抗R0は100KΩオーダーである。

【0032】差動回路部31は、各ソースが共通接続された入力用のPMOSトランジスタMP11およびMP12と、上記PMOSトランジスタMP11のドレインにドレインが接続され、ソースがVSSノードに接続され、ドレイン・ゲート相互が接続された負荷用のNMOSトランジスタMN6と、このNMOSトランジスタにカレントミラー接続され、前記PMOSトランジスタMP12のドレインにドレインが接続された負荷用のNMOSトランジスタMN7と、VDDノードと前記PMOSトランジスタ

7

タMP11およびMP12の共通ソースとの間にソース・ドレイン間が接続された電流源用のPMOSトランジスタMP5とを有する。

【0033】制御回路部32は、ソースがVSSノードに接続され、ドレイン・ゲート相互が接続されたNMOSトランジスタMN4と、このNMOSトランジスタにカレントミラー接続されたNMOSトランジスタMN14と、VDDノードと上記NMOSトランジスタMN4のドレインとの間でそれぞれのソース・ドレイン間が直列に挿入接続されたPMOSトランジスタMP4およびMP10と、VDDノードと前記NMOSトランジスタMN14のドレインとの間にソース・ドレイン間が接続され、ゲート・ドレイン相互が接続されたPMOSトランジスタMP15とを有する。

【0034】上記PMOSトランジスタMP4は前記電流設定回路部20aのPMOSトランジスタMP1にカレントミラー接続されており、前記PMOSトランジスタMP10のゲートは前記差動回路部31の一方の入力用のPMOSトランジスタMP12のゲート（一方の入力ノード）に接続されており、前記PMOSトランジスタMP15には前記差動回路部31の電流源用のPMOSトランジスタMP5がカレントミラー接続されている。

【0035】出力回路部33は、前記出力端子24とVSSノードとの間でそれぞれのドレイン・ソース間が直列に挿入接続されたNMOSトランジスタMN9およびMN13と、VDDノードと上記出力端子24との間で前記制御回路部32のPMOSトランジスタMP15にカレントミラー接続された電流源用のPMOSトランジスタMP8と、上記出力端子24と前記NMOSトランジスタMN9のゲートとの間で直列に接続された位相補償用の抵抗 R_p および容量 C_p とを有する。

【0036】この場合、上記NMOSトランジスタMN13は前記制御回路部32のNMOSトランジスタMN4にカレントミラー接続されており、前記NMOSトランジスタMN9のゲートは前記差動回路部31の入力用のPMOSトランジスタMP12のドレインに接続されている。上記抵抗 R_p の値は1~100K Ω 程度、容量 C_p の値は1~20pF程度である。

【0037】上記Pトップ型演算増幅回路30において、通常は、制御回路部32には電流設定回路部20aの設定電流 I_0 に比例した電流が流れ、差動回路部31の電流源用のPMOSトランジスタMP5とMP8には制御回路部32の電流に比例した電流が流れる。従って、入力信号電圧のレベルがPトップ型演算増幅回路30の動作範囲内である場合には、Pトップ型演算増幅回路30が動作する。

【0038】これに対して、入力信号電圧のレベルがPトップ型演算増幅回路30の動作範囲内でない場合には、制御回路部32のPMOSトランジスタMP10がオフになり、出力回路33、制御回路部32および差動回

8

路部31がそれぞれオフになる。図4は、図2中のNトップ型演算増幅回路40を取り出して示す。

【0039】電流設定回路部20は、ソースがVDDノードに接続され、ゲート・ドレイン相互が接続されたPMOSトランジスタMP1と、このPMOSトランジスタのドレインとVSSノードとの間に接続された抵抗 R_0 と、ソースおよびゲートが上記PMOSトランジスタMP1のソースおよびゲートに対応して共通接続（カレントミラー接続）されたPMOSトランジスタMP2と、このPMOSトランジスタのドレインとVSSノードとの間にドレイン・ソース間が接続され、ドレイン・ゲート相互が接続されたNMOSトランジスタMN2とを有する。

【0040】差動回路部41は、各ソースが共通接続された入力用のNMOSトランジスタMN11およびMN12と、上記NMOSトランジスタMN11のドレインにドレインが接続され、ソースがVDDノードに接続され、ゲート・ドレイン相互が接続された負荷用のPMOSトランジスタMP6と、このPMOSトランジスタにカレントミラー接続され、前記NMOSトランジスタMN12のドレインにドレインが接続された負荷用のPMOSトランジスタMP7と、前記NMOSトランジスタMN11およびMN12の共通ソースとVSSノードとの間にドレイン・ソース間が接続された電流源用のNMOSトランジスタMN5とを有する。

【0041】制御回路部42は、ソースがVDDノードに接続され、ゲート・ドレイン相互が接続されたPMOSトランジスタMP3と、このPMOSトランジスタにカレントミラー接続されたPMOSトランジスタMP14と、上記PMOSトランジスタMP3のドレインとVSSノードとの間でそれぞれのドレイン・ソース間が直列に挿入接続されたNMOSトランジスタMN10およびMN3と、前記PMOSトランジスタMP14のドレインとVSSノードとの間にドレイン・ソース間が接続され、ドレイン・ゲート相互が接続されたNMOSトランジスタMN15とを有する。

【0042】上記NMOSトランジスタMN3は前記電流設定回路部20のNMOSトランジスタMN2にカレントミラー接続されており、前記NMOSトランジスタMN10のゲートは前記差動回路部41の一方の入力用のNMOSトランジスタMN12のゲート（一方の入力ノード）に接続されており、前記NMOSトランジスタMN15には前記差動回路部41の電流源用のNMOSトランジスタMN15がカレントミラー接続されている。

【0043】出力回路部43は、VDDノードと出力端子24との間でそれぞれのソース・ドレイン間が直列に挿入接続されたPMOSトランジスタMP13およびMP9と、上記出力端子24とVSSノードとの間で前記制御回路部42のNMOSトランジスタMN15にカレントミラー接続された電流源用のNMOSトランジスタMN8

と、上記出力端子24と前記PMOSトランジスタMP9のゲートとの間で直列に接続された位相補償用の抵抗 R_n および容量 C_n を有する。

【0044】この場合、上記PMOSトランジスタMP13は前記制御回路部42のPMOSトランジスタMP3にカレントミラー接続されており、前記PMOSトランジスタMP9のゲートは前記差動回路部41の入力用のNMOSトランジスタMN12のドレインに接続されている。上記抵抗 R_n の値は1~100K Ω 程度、容量 C_n の値は1~20pF程度である。

【0045】上記Nトップ型演算増幅回路40において、通常は、制御回路部42には電流設定回路部20の設定電流 I_0 に比例した電流が流れ、差動回路部41の電流源用のNMOSトランジスタMN5とMP8には制御回路部42の電流に比例した電流が流れる。従って、入力信号電圧のレベルがNトップ型演算増幅回路40の動作範囲内である場合には、Nトップ型演算増幅回路40が動作する。

【0046】これに対して、入力信号電圧のレベルがNトップ型演算増幅回路40の動作範囲内でない場合には、制御回路部42のNMOSトランジスタMN10がオフになり、制御回路部42、差動回路部41及び出力回路43がそれぞれオフになる。

【0047】即ち、図2に示した演算増幅回路において、入力信号電圧のレベルがPトップ型演算増幅回路30の動作範囲内であると共にNトップ型演算増幅回路40の動作範囲内である場合には、出力端子24の出力電圧 V_{out} として、Pトップ型演算増幅回路30の信号出力電圧とNトップ型演算増幅回路40の信号出力電圧との合成出力が得られる。

【0048】これに対して、入力信号電圧のレベルが、Nトップ型演算増幅回路40の動作範囲内でなくPトップ型演算増幅回路30の動作範囲内である場合には、Nトップ型演算増幅回路40は内部回路の動作が停止して電流消費が大幅に抑制され、これとは独立に動作しているPトップ型演算増幅回路30の信号出力電圧のみが出力端子24の出力電圧 V_{out} として得られる。

【0049】また、入力信号電圧のレベルが、Pトップ型演算増幅回路30の動作範囲内でなくNトップ型演算増幅回路40の動作範囲内である場合には、Pトップ型演算増幅回路30は内部回路の動作が停止して電流消費が大幅に抑制され、これとは独立に動作しているNトップ型演算増幅回路40の信号出力電圧のみが出力端子24の出力電圧 V_{out} として得られる。

【0050】上記実施例の演算増幅回路において、Pトップ型演算増幅回路30およびNトップ型演算増幅回路40は、ダイオード接続されたMOSトランジスタがVDDノードとVSSノードとの間に一段しか存在しないので、MOSトランジスタの閾値電圧が約0.8V程度とすると、約1.6V程度の低電圧動作が可能である。

【0051】これにより、入出力電圧が約1.6V以上あれば、接地電位付近から電源電圧電位付近まで動作することができる。また、Pトップ型演算増幅回路30の動作時の差動回路部31、制御回路部32、出力回路部33の各電流 I_1 、 I_2 、 I_3 はそれぞれ10 μ Aオーダー、Nトップ型演算増幅回路40の動作時の差動回路部41、制御回路部42、出力回路部43の各電流 I_1 、 I_2 、 I_3 はそれぞれ10 μ Aオーダーであり、従来例のPトップ型演算増幅回路のみ、あるいは、Nトップ型演算増幅回路のみの消費電流と比較して10 μ A~50 μ A程度しか増加しない。

【0052】この場合、動作していない方の演算増幅回路は、非動作部分が電流を殆んど消費しないので、消費電力が少なく、動作している方の演算増幅回路の動作に何ら悪影響を及ぼすことがない。

【0053】しかも、Pトップ型演算増幅回路30およびNトップ型演算増幅回路40は独立に動作するように形成されているので、従来例のPトップ型演算増幅回路のみ使用する場合、あるいは、Nトップ型演算増幅回路のみ使用する場合の設計方法と同様に設計を容易化できる。

【0054】また、上記実施例の演算増幅回路装置は、従来例のレール・ツー・レール型演算増幅回路と比べて、使用素子数が少ないので、製造上のコストダウンおよび歩留りの向上を図ることができる。

【0055】また、上記実施例の演算増幅回路装置の集積回路化に際しては、従来例のPトップ型演算増幅回路あるいはNトップ型演算増幅回路の製造プロセスと比べて、何ら新規なプロセスを必要としない。

【0056】なお、上記実施例の各MOSトランジスタとして、ディプリーション型のものを用い、その閾値電圧を例えば0.4V程度とすることにより、動作電圧を1V以下にすることも可能である。図5は、本発明の第2実施例に係るスタンバイ機能付き演算増幅回路装置を示す回路図である。

【0057】この演算増幅回路装置は、図2を参照して前述した演算増幅回路装置と比べて、次に述べる(a)乃至(h)の点が異なり、その他は同じであるので図2中と同一符号を付している。

【0058】(a) VDDノードとVSSノードとの間に直列接続されたPMOSトランジスタMPAおよびNMOSトランジスタMNAからなり、その各ゲートにスタンバイ制御信号が入力するCMOSインバータ回路51が付加されている。

【0059】(b) このインバータ回路51の出力ノードにゲートが接続され、VDDノードと前記電流設定回路部20のPMOSトランジスタMP1のドレインとの間に接続されたPMOSトランジスタMPBが付加されている。

【0060】(c) 同じく前記インバータ回路51の出

カノードにゲートが接続され、VDDノードと前記Nトップ型演算増幅回路40の出力回路部43のPMOSトランジスタMP13のゲートとの間に接続されたPMOSトランジスタMPCが付加されている。

【0061】(c) 同様に前記インバータ回路51の出力カノードにゲートが接続され、VDDノードと前記Pトップ型演算増幅回路30の出力回路部33の電流源用のPMOSトランジスタMP8のゲートとの間に接続されたPMOSトランジスタMPDが付加されている。

【0062】(e) 同様に前記インバータ回路51の出力カノードにゲートが接続され、前記電流設定回路部20の抵抗R0の一端とVSSノードとの間に挿入接続されたNMOSトランジスタMNBが付加されている。

【0063】(f) 前記電流設定回路部20のNMOSトランジスタMN12のゲートとVSSノードとの間に接続され、ゲートに前記スタンバイ制御信号が与えられるNMOSトランジスタMNCが付加されている。

【0064】(g) 前記Pトップ型演算増幅回路30の出力回路部33のNMOSトランジスタMN13のゲートとVSSノードとの間に接続され、ゲートに前記スタンバイ制御信号が与えられるNMOSトランジスタMNDが付加されている。

【0065】(h) 前記Nトップ型演算増幅回路40の出力回路部43の電流源用のNMOSトランジスタMN8のゲートとVSSノードとの間に接続され、ゲートに前記スタンバイ制御信号が与えられるNMOSトランジスタMNEが付加されている。

【0066】上記第2実施例の演算増幅回路装置によれば、スタンバイ制御信号が“L”レベル（非活性状態）の時には基本的には前記第1実施例の演算増幅回路装置と同様の動作を行う。

【0067】これに対して、スタンバイ制御信号が“H”レベル（活性状態）になると、CMOSインバータ回路51の出力が“L”レベルになり、PMOSトランジスタMPB～MPDが全てオン状態になり、NMOSトランジスタMNBがオフ状態、NMOSトランジスタMNC～MNEがオン状態になる。これにより、演算増幅回路が非動作状態に制御され、直流電流パスがなくなり、消費電流は零になり、出力端子24がハイインピーダンス状態または電源電位あるいは接地電位に固定される。

【0068】即ち、外部から与えられるスタンバイ制御信号に応じて制御されるスタンバイ制御回路を具備し、スタンバイ状態の時には前記Pトップ型演算増幅回路30およびNトップ型演算増幅回路40のそれぞれの動作を停止させ、演算増幅回路の出力端子24をハイインピーダンス状態または電源電位あるいは接地電位に固定するように制御することが可能になり、演算増幅回路装置の消費電力を一層抑制することができる。図6は、本発明の第3実施例に係る内部ノード安定化抵抗付き演算増

幅回路装置を示す回路図である。

【0069】この演算増幅回路装置は、図2を参照して前述した演算増幅回路装置と比べて、次の(a)、

(b)に述べるように高抵抗（例えば1MΩ～10MΩ）が付加されているの点が異なり、その他は同じであるので図2中と同一符号を付している。

【0070】(a) Pトップ型演算増幅回路30において、差動回路部31の負荷用のNMOSトランジスタMN6のゲートとVSSノードとの間に抵抗R1、制御回路部32のNMOSトランジスタMN4のゲートとVSSノードとの間に抵抗R3、VDDノードと出力回路部33の電流源用のPMOSトランジスタMP8のゲートとの間に抵抗R5が接続されている。

【0071】(b) 前記Nトップ型演算増幅回路40において、VDDノードと差動回路部41の負荷用のPMOSトランジスタMP6のゲートとの間に抵抗R2、VDDノードと制御回路部42のNMOSトランジスタMP3のゲートとの間に抵抗R4、出力回路部43の電流源用のNMOSトランジスタMN8のゲートとVSSノードとの間に抵抗R6が接続されている。

【0072】上記演算増幅回路装置において、Pトップ型演算増幅回路が非動作状態の時には、NMOSトランジスタMN4、MN6の各ゲートはVSS電位、PMOSトランジスタMP15のゲート電位はVDD電位に固定される。従って、出力回路部のPMOSトランジスタMP8およびNMOSトランジスタMN13は完全にオフ状態に維持される。

【0073】また、Nトップ型演算増幅回路が非動作状態の時には、PMOSトランジスタMP3、MP6の各ゲートはVDD電位、NMOSトランジスタMN15のゲート電位はVSS電位に固定される。従って、出力回路部のPMOSトランジスタMP13およびNMOSトランジスタMN8は完全にオフ状態に維持される。

【0074】即ち、上記第3実施例の演算増幅回路装置によれば、前記Pトップ型演算増幅回路30またはNトップ型演算増幅回路40の動作が停止した場合にハイインピーダンス状態になる内部ノードと電源電位ノードあるいは接地電位ノードとの間に、通常動作時に上記内部ノードに支障を与えない程度の値を有する高抵抗R1～R6が接続されている。これにより、内部ノードの電圧を安定させ、ノイズに対する安定性を増すことが可能である。この場合、上記内部ノードに連なる直流電流パスの電流が10μA～100μAとすると、上記高抵抗に流れる電流は0.1μA以下の微小になり、上記高抵抗は回路動作に悪影響を及ぼさない。

【0075】従って、Pトップ型演算増幅回路30およびNトップ型演算増幅回路40のうち、非動作状態の一方の演算増幅回路から動作中の他方の演算増幅回路に出力変動などの悪影響を及ぼさないようになっている。

【0076】

【発明の効果】上述したように本発明によれば、入出力電圧が接地電位付近から電源電圧電位付近まで動作することができ、しかも、少ない素子数により構成でき、設計を容易化でき、低電圧動作、低消費電力が要求される集積回路に内蔵し得る演算増幅回路装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の演算増幅回路装置の基本構成を示すブロック図。

【図2】本発明の第1実施例に係る演算増幅回路装置を示す回路図。

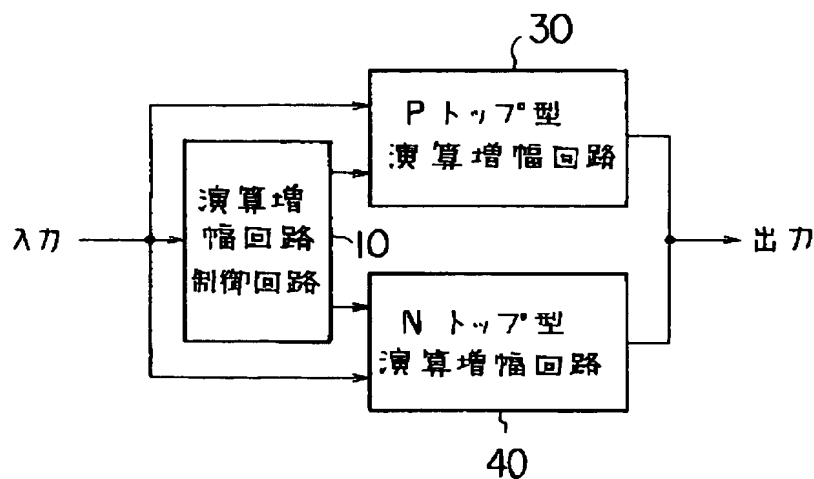
【図3】図2中のPトップ型演算増幅回路を取り出して示す回路図。

【図4】図2中のNトップ型演算増幅回路を取り出して示す回路図。

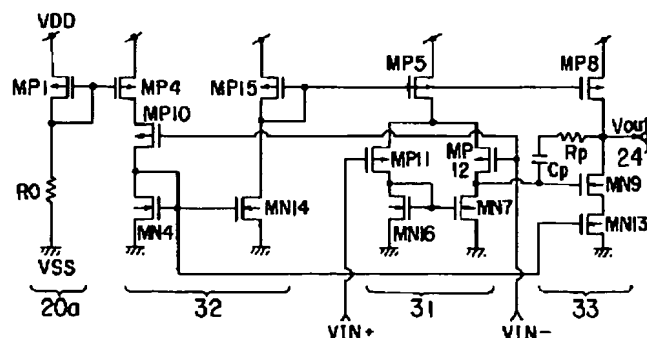
【図5】本発明の第2実施例に係る演算増幅回路装置を示す回路図。

【図6】本発明の第3実施例に係る演算増幅回路装置を示す回路図。

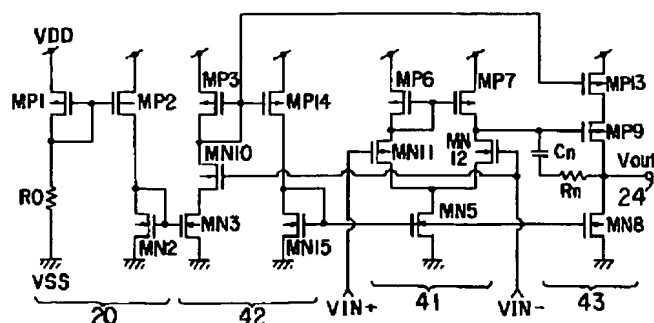
【図1】



【図3】



【図4】



示す回路図。

【図7】従来のPトップ型演算増幅回路を示す回路図。

【図8】従来のNトップ型演算増幅回路を示す回路図。

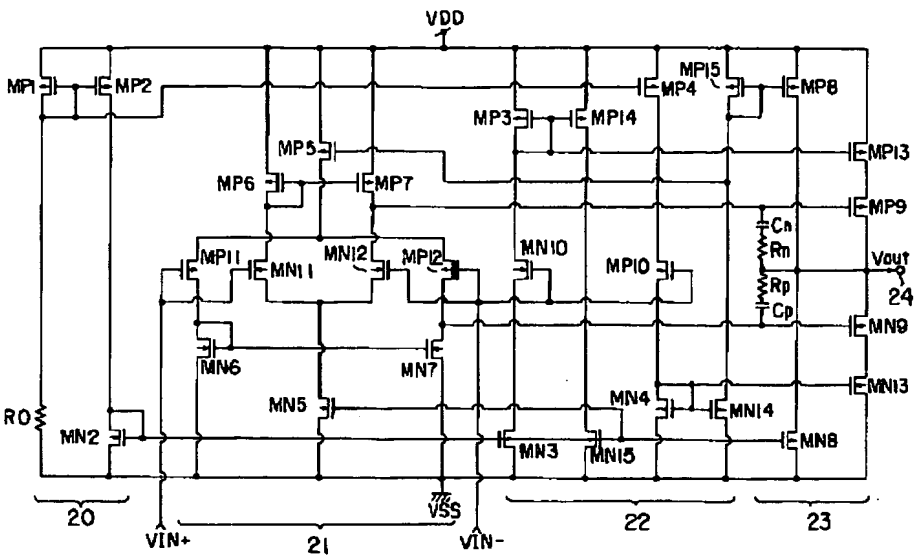
【図9】従来のレール・ツー・レール型演算増幅回路の一具体例を示す回路図。

【図10】図9のレール・ツー・レール型演算増幅回路の基本構成を示す回路図。

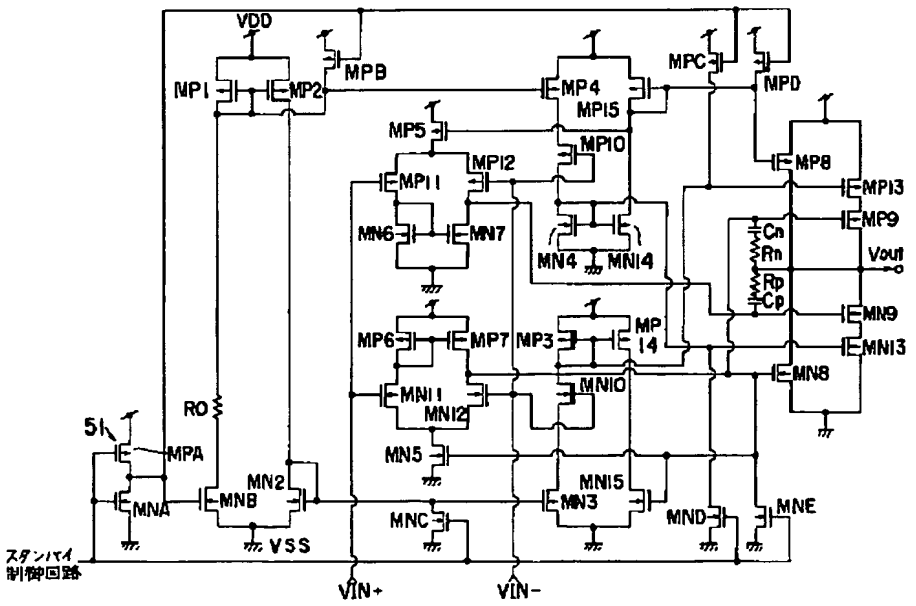
【符号の説明】

10…演算増幅回路制御回路、20、20a…電流設定回路部、21、31、41…差動回路部、22、32、42…制御回路部、23、33、43…出力回路部、24…出力端子、30…Pトップ型演算増幅回路、40…Nトップ型演算増幅回路、MP1～MP15、MPA～MPD…PMOSトランジスタ、MN2～MN15、MNA～MNE…NMOSトランジスタ、R0、Rp、Rn、R1～R6…抵抗、Cp、Cn…容量、VDD…電源電圧電位、VSS…接地電位、VIN+、VIN-…同相入力電圧、Vout…出力電圧。

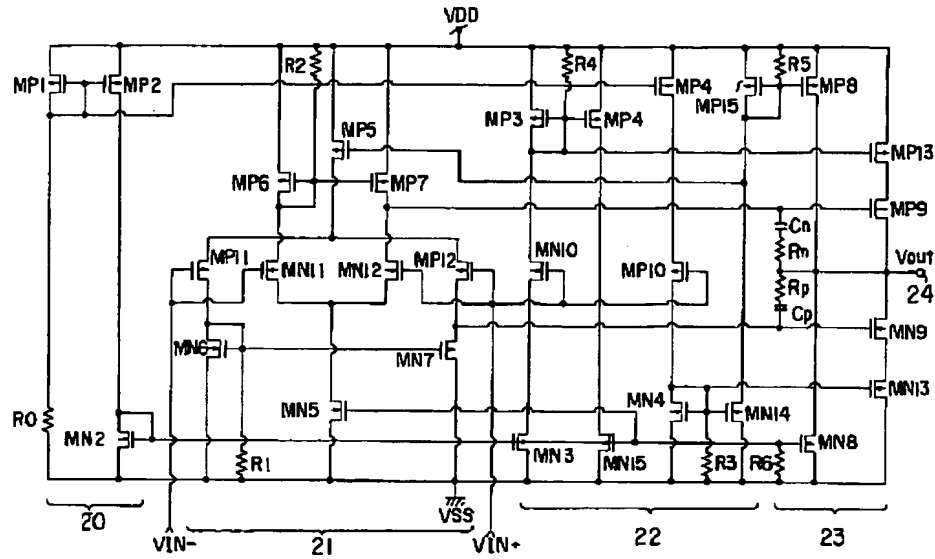
【図2】



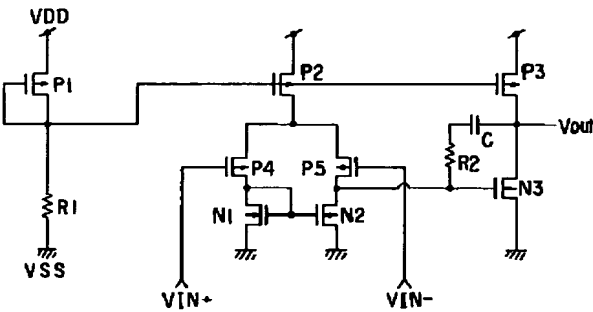
【図5】



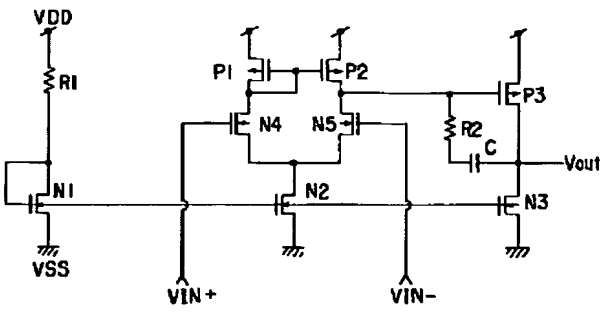
【図 6】



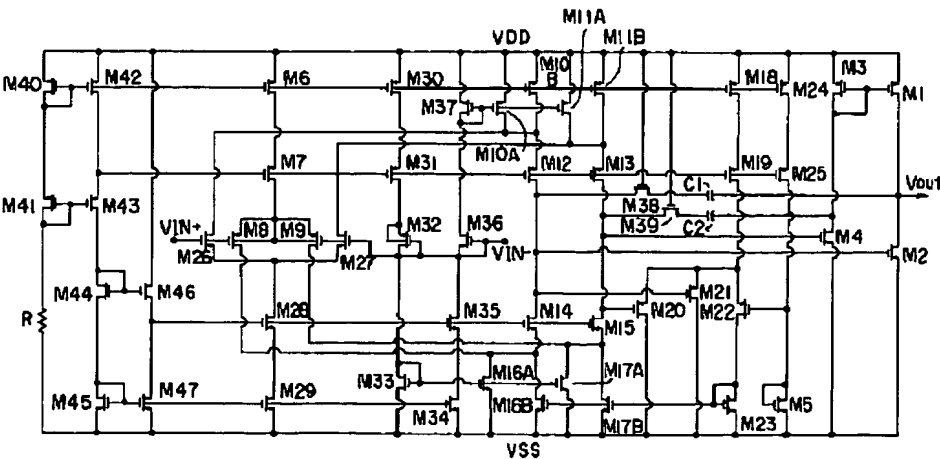
【図 7】



【図 8】



【図 9】



【図10】

